

Elenco delle figure

1.1	Spettro segnale NRZ	4
1.2	Spettro di un segnale in banda traslata	4
1.3	Trasformata di Hilbert nel dominio della frequenza	5
1.4	Modulazione QPSK nel tempo	8
1.5	Tipologie di QPSK	8
1.6	Confronto costellazioni M-QAM e M-PSK	9
1.7	Andamento temporale BFSK	10
1.8	Andamento temporale fase del segnale MSK	11
1.9	Risposta all'impulso del filtro gaussiano	11
1.10	Confronto spettri QPSK, MSK e GMSK	12
1.11	Demodulatore con banco di correlatori	13
1.12	Demodulatore con filtro adattato	14
1.13	Effetto filtro adattato	15
1.14	Costellazione BPSK e densità di probabilità condizionate	16
1.15	Effetto interferenza intersimbolica	18
1.16	$\sum_{m=-\infty}^{\infty} X(f + \frac{m}{T})$ per $T < \frac{1}{2W}$	19
1.17	$\sum_{m=-\infty}^{\infty} X(f + \frac{m}{T})$ per $T = \frac{1}{2W}$	19
1.18	$\text{sinc}(\pi \frac{f}{T})$	19
1.19	$\sum_{m=-\infty}^{\infty} X(f + \frac{m}{T})$ per $T > \frac{1}{2W}$	20
1.20	Sagomatura d'impulso a coseno rialzato	21
1.21	Diagrammi vettoriali QPSK con sagomatura d'impulso	21
1.22	Trasmissione numerica	22
1.23	Codificatore (3, 1, 3)	23
1.24	Piano di Shannon	25
2.1	Modulatore Standard	26
2.2	Modulatore DDFS	27
2.3	Modulatore QPSK classico per un solo data rate	29
2.4	Modulatore QPSK classico 3 data rate	30
2.5	Modulatore QPSK classico 3 data rate Ottimizzato	31
2.6	Modulatore QPSK classico 3 data rate $f_{clk} = 4 \times f_{if}$	32
3.1	SRRC 19 coefficienti interpolante 3	36

3.2	SRRC 25 coefficienti interpolante 4	36
3.3	SRRC 39 coefficienti interpolante 6	36
3.4	SRRC interpolante 3, 4, 6	37
3.5	FIR i_{esimo}	38
3.6	Rate Adapter	39
3.7	SRRCxN versione ROM	41
3.8	Confronto Polifase VHDL – Polifase Matlab	42
3.9	Confronto Polifase FPGA – Polifase Matlab	43
4.1	Effetto del canale sul segnale modulato QPSK	45
4.2	Grafico prestazioni modem Matlab in termini di BER	46
4.3	Modulatore classico	47
4.4	SRRCxN versione RAM	48
4.5	RAM 12×4096	48
4.6	Temporizzazioni modulatore classico	49
4.7	ThinModulator	50
4.8	FIFO RAM ThinModulator	51
4.9	Clock $\times 2$	52
4.10	Interfaccia modulatore – sorgente dati	52
4.11	Confronto Modulatore x3 VHDL – Matlab	53
4.12	Confronto Modulatore x3 FPGA – Matlab	56
4.13	Confronto Modulatore x4 FPGA – Matlab	57
4.14	Confronto Modulatore x6 FPGA – Matlab	57
A.1	Schema di principio DDFS	60
A.2	Spettro in uscita dal DAC	61
A.3	Andamento nel tempo della parola troncata	62
A.4	Spettro dente di sega	62
A.5	Ottimizzazione del convertitore fase-ampiezza	63
A.6	Rotazione planare	64
A.7	Uscita DDFS nel tempo	66
A.8	Spettro Coseno Matlab	67
A.9	NCO VHDL	67
A.10	Iterazione i_{esima}	68
A.11	Cordic Pipelined Unrolled	69
A.12	Spettro coseno generato dal DDFS VHDL	70
B.1	Upsampling	72
B.2	Upsampler	73
B.3	Downsampling	73
B.4	Downsampler	74
B.5	Cambiamento di rate frazionario	74
B.6	Nobili Identità	75
B.7	Integratore e sua risposta in frequenza	76

B.8	Comb e sua risposta in frequenza	76
B.9	Interpolatore CIC	76
B.10	Decimatore CIC	77
B.11	Spettro del CIC per $R=2$, $N=1$, $M=1$	77
B.12	Effetto di M sulla frequenza del CIC	78
B.13	Trasformazioni interpolatore polifase	79
C.1	Gerarchia implementazioni circuiti logici	81
C.2	Implementazione di un moltiplicatore	84
C.3	Slice Virtex	85
C.4	CLB Virtex	85
C.5	VersaBlock	86
C.6	Clock globale	87
C.7	Configurazione delle BlockRAM	88