

Appendice C

Logiche programmabili

C.1 Sommario

Dopo aver elencato le diverse tipologie di logiche programmabili evidenziandone i principali pregi e difetti si passa ad una descrizione particolareggiata dell'architettura Virtex [15] alla quale appartiene l'FPGA utilizzata nell'implementazione del modulatore.

C.2 Tipologie di logiche programmabili

Le logiche programmabili sono una delle diverse possibilità di implementazione di un circuito digitale, la gerarchia delle possibili soluzioni è illustrata in Figura(C.1).

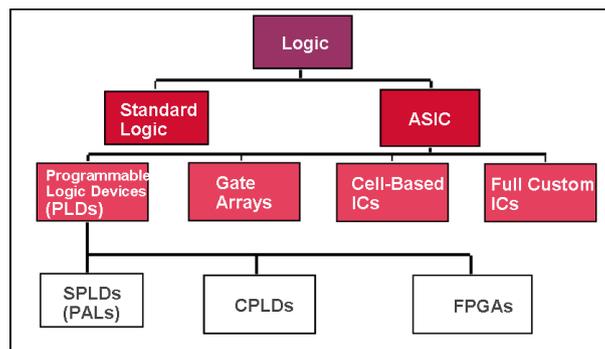


Figura C.1: Gerarchia implementazioni circuiti logici

La prima tipologia di logica programmabile è stata la PAL¹ che implementa una somma di prodotti programmabile una sola volta, la sua diretta

¹Programmable Array Logic

estensione è rappresentata dalle PLD² le quali dispongono di un elevato numero di blocchi logici interconnessi tra loro, ciascuno di essi implementa una somma di prodotti che può essere registrata o meno, il ritardo che ne deriva è quindi ben definito. Vi sono poi le CPLD³ le quali non presentano delle interconnessioni globali bensì delle strutture di routing raccolte in fasci pertanto il ritardo risulta definito soltanto a livello locale mentre non è possibile conoscere a priori quali gruppi di fasci verranno effettivamente utilizzati per le interconnessioni. Diverse CPLD sono del tipo ISP⁴ possono cioè essere programmate senza estrazione dal circuito, tale programmazione rimane memorizzata sin quando non è necessario mutare il funzionamento della CPLD in accordo a mutate esigenze della logica d'utente. Chiudono il quadro delle logiche programmabili le FPGA, dispositivi molto complessi nei quali sono immersi un numero elevato di blocchi logici abbastanza semplici ma tutti interconnessi tra loro, il ritardo è pertanto non predicibile a priori.

Si sono nel tempo affermate due diverse tipologie di FPGA, le OTP⁵ e le ISP anche dette SRAM⁶, tra le OTP la tecnologia più rilevante è la *antifuse* caratterizzata da elementi molto piccoli e veloci da programmare i quali però per tale operazione richiedono ai bordi del circuito integrato un numero elevato di transistori aventi il compito di fondere il polisilicio amorfo. I veri vantaggi sono pertanto:

1. non è possibile carpire la logica a partire dal dispositivo che pertanto è adatto ad applicazioni dove sia richiesto un certo grado di segretezza.
2. sopporta elevate radiazioni elettromagnetiche senza subire alterazioni funzionali il che è importante in applicazioni spaziali.

Le FPGA con tecnologia SRAM richiedono la riprogrammazione ad ogni riaccensione, a tal fine si utilizza una PROM esterna la quale contiene la configurazione in maniera stabile e ad ogni ripartenza la passa ad una o più FPGA disposte in catena. Attualmente si tratta della tecnologia che consente di raggiungere le prestazioni più elevate sia in termini di velocità di clock che di complessità delle funzioni realizzate, nella seguente sezione viene descritta l'architettura Virtex della Xilinx che ha riscosso un notevole successo commerciale in virtù delle numerose innovazioni tecnologiche da essa introdotte.

L'evoluzione verso le famiglie Virtex E , Virtex 2 e Virtex 2 Pro ha riguardato i seguenti aspetti:

1. diminuzione dello spessore dello strato di ossido⁷.

²Programmable Logic Device

³Complex Programmable Logic Device

⁴In System Programmable

⁵One Time Programmable

⁶Static Random Access Memory

⁷dai 0.22- μm della Virtex ai 0.13- μm della Virtex 2 Pro

2. aumento del numero di strati di metallo⁸.
3. progressiva integrazione ed ottimizzazione dei dispositivi aritmetici alla base delle applicazioni DSP.

La Virtex 2 e la Virtex 2 PRO sono inoltre delle *platform FPGA* le quali consentono di realizzare in un solo dispositivo delle funzionalità complesse che attualmente vengono implementate con più circuiti integrati, a tal fine oltre a essere disponibili in formati molto grandi⁹ implementano numerose agevolazioni quali dei blocchi di memoria RAM, moltiplicatori precablati ed ottimizzati, possibilità di ospitare dei moduli altrui protetti da licenze quali ad esempio il Power PC IBM e i Multi-Gigabit Transceivers presenti di default nella Virtex 2 PRO.

C.3 Architettura Virtex

La famiglia Virtex si compone di nove diverse FPGA diverse tra loro per le dimensioni che vanno da 50mila porte logiche sino ad 1milione, quest'ultimo formato è quello utilizzato per l'implementazione del modulatore, nella fattispecie la scheda DINI utilizza 6 FPGA XCV1000BG560-4 dove BG560 indica il formato BallGrid da 560 pin, mentre -4 è lo speed grade il quale viene calcolato statisticamente, migliori prestazioni in termini di velocità di clock si possono ottenere utilizzando versioni con speed grade -5 o -6. Alla base della architettura Virtex ci sono i CLB e gli IOB¹⁰, i primi si occupano di realizzare le funzionalità che il progettista richiede mediante un linguaggio ad alto livello quale il VHDL¹¹ o il VERILOG, i secondi realizzano invece dell'interfacciamento di questa logica con il mondo esterno.

Oltre a CLB e IOB ogni FPGA contiene anche un numero elevato di risorse dedicate alle connessioni, esse sono diversificate in termini di estensione e capacità di pilotaggio ed alcune sono espressamente dedicate al routing di segnali particolarmente importanti come ad esempio il clock.

C.3.1 CLB

L'entità logica programmabile di base della architettura Virtex è la LC¹², essa include:

⁸dai 5 strati della Virtex ai 9 della Virtex 2 Pro

⁹sino a 10M gate

¹⁰Input Output Block

¹¹VHSIC Hardware Description Language

¹²Logic Cell

- un generatore di funzioni¹³ che può anche essere utilizzato come RAM¹⁴ sincrona distribuita nel formato 16×1 bit oppure come SRL16¹⁵.
- logica dedicata al riporto nelle operazioni aritmetiche, tra cui una porta XOR denominata XORCY che consente l'implementazione di un *full-adder* ad 1 bit, un multiplexer denominato MUXCY ed una porta AND che ottimizza l'implementazione dei moltiplicatori.

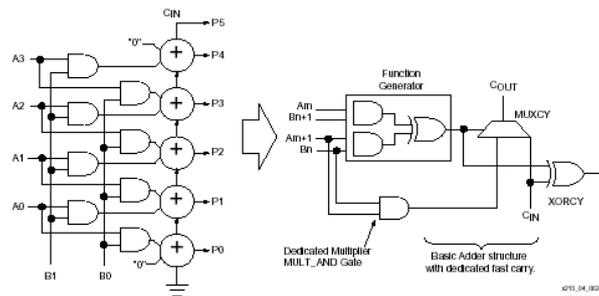


Figura C.2: Implementazione di un moltiplicatore

- un registro che può essere configurato sia come FFD sensibile al fronte del clock che come latch sensibile al livello.

L'unione di due LC viene denominata Slice, come evidenziato in Figura(C.3) il multiplexer F5 combina le uscite delle LUT consentendo di realizzare le seguenti strutture:

- generatore di funzioni a 5 ingressi.
- multiplexer 4:1.
- funzioni specifiche sino ad un massimo di 9 ingressi.

inoltre la combinazione delle due LUT può dar luogo ad una RAM sincrona 16×2 bit o 32×1 bit oppure una RAM sincrona a doppia porta 16×1 bit.

Il CLB rappresentato in Figura(C.4) contiene 2 Slice e quindi 4 LC, in esso il multiplexer F6 coadiuvato dal multiplexer F5 combina le uscite delle 4 LUT consentendo di implementare:

- generatore di funzioni a 6 ingressi.
- multiplexer 8:1.
- funzioni specifiche sino ad un massimo di 19 ingressi.

¹³implementato con una LUT a 4 ingressi

¹⁴Random Access Memory

¹⁵Shift Register Left 16-bit

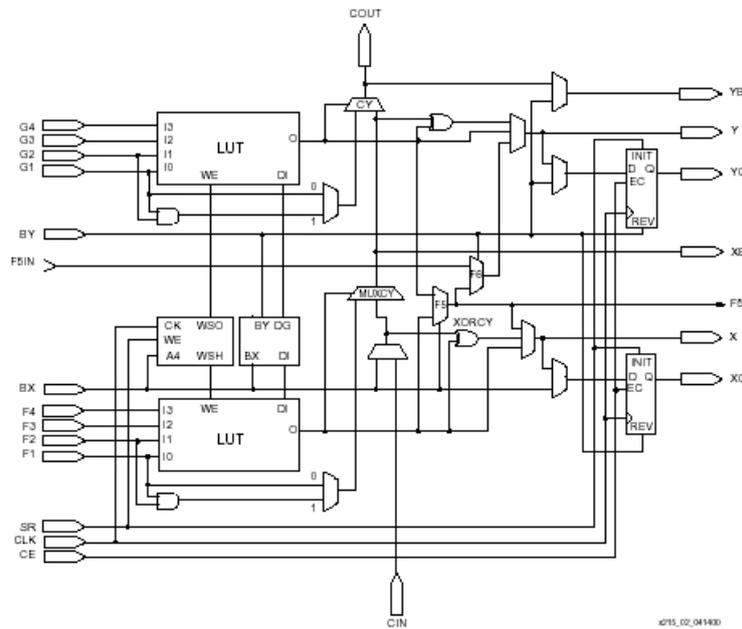


Figura C.3: Slice Virtex

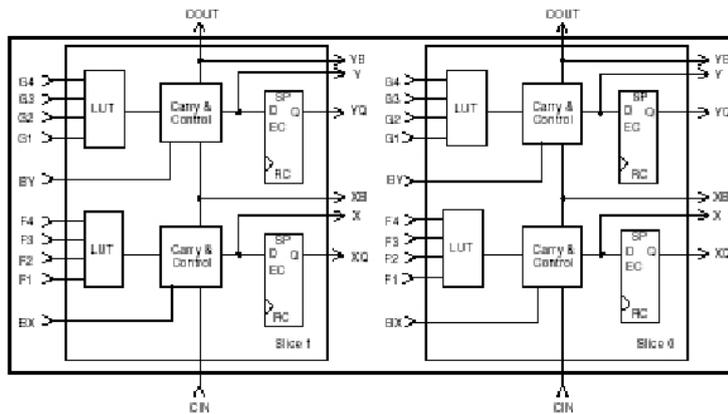


Figura C.4: CLB Virtex

C.3.2 IOB

Come precedentemente affermato gli IOB si occupano dell'interfacciamento della logica implementata nelle CLB con il mondo esterno, ognuno di essi è dotato di 3 registri che possono essere configurati sia come sensibili al livello che al fronte, da progetto si può decidere di includere della logica in questi registri oppure non utilizzarli. Vi sono inoltre dei resistori di pull-up

e di pull-down di valore compreso tra 50 e 100 Ω . Sono possibili 13 diversi standard di interfacciamento col mondo esterno, nella fattispecie LVTTTL, LVCMOS2, PCI 5V, PCI 3,3V, GTL, GTL+, HSTL I, HSTL III, HSTL IV, SSTL3 I e II, SSTL2 I e II, CTT e AGP dei quali molti richiedono una tensione di riferimento, in particolare gli IOB sono suddivisi in 8 banchi all'interno di ognuno dei quali può essere utilizzata soltanto una tensione di riferimento.

C.3.3 Risorse di connessione

Le CLB sono connesse tra di loro tramite la GRM¹⁶ costituita da matrici di commutazione locate nell'intersezione dei canali di smistamento orizzontali e verticali, ogni CLB appartiene ad un VersaBLOCK il quale realizza il routing locale come illustrato in Figura(C.5).

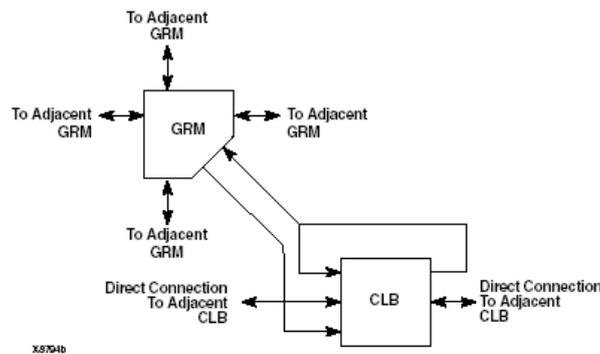


Figura C.5: VersaBlock

Ogni GRM è connessa tramite 24 linee ad ognuna delle 4 GRM adiacenti, 96 linee esadecimali connettono inoltre ogni GRM con quella che dista da essa 6 GRM in ogni direzione, lungo i bordi della FPGA c'è poi il VersaRing che rende flessibile il progetto mappato rispetto all'assegnamento dei pin del dispositivo.

Si hanno delle linee di routing dedicate per i bus 3-state e per i segnali di riporto verso le CLB verticalmente adiacenti, inoltre ogni CLB è raggiunta da 4 linee di clock globali, che debbono essere pilotate da opportuni buffer, e da 24 linee secondarie dedicate allo smistamento di segnali ad ampio fan-out non necessariamente segnali di clock.

C.3.4 Circuiti di utilità

All'interno della Virtex oltre alle CLB vi sono dei circuiti che implementano alcune funzionalità molto utilizzate nella progettazione digitale, tra di essi

¹⁶General Routing Matrix

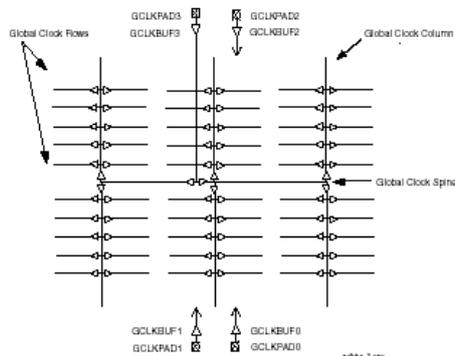


Figura C.6: Clock globale

vi sono le DLL¹⁷, le BlockRAM e gli SRL16.

C.3.4.1 DLL

Le DLL ottimizzano lo smistamento del segnale di clock all'interno delle grandi FPGA infatti sulla base della differenza tra il clock in ingresso ed il clock distribuito applicano a quest'ultimo un ritardo opportuno eliminando pertanto lo skew. La struttura può essere utilizzata sia per raddoppiare o quadruplicare la frequenza di clock in ingresso alla FPGA¹⁸ che per effettuare su di essa delle divisioni del clock per i valori 1,5 , 2 , 2,5 , 3 , 4 , 5 , 8 o 16. Nella Virtex vi sono 4 DLL, una per ogni linea di clock globale e per ogni buffer globale come illustrato in Figura(C.6).

C.3.4.2 BlockRAM

La BlockRAM è un blocco di memoria SRAM che complementa la RAM distribuita nelle LUT delle CLB, nella Virtex ogni blocco è alto 4 CLB, ne consegue che sulla XCV1000 ve ne sono 16 ai bordi di ognuno dei due lati verticali. Ogni blocco dispone di 4096 celle di memoria alle quali si può accedere in configurazione singola porta o doppia porta¹⁹. Ogni BlockRAM può essere anche configurata in sola lettura, per la sua inizializzazione si possono utilizzare i Core opportuni oppure istanziare la primitiva desiderata ed assegnare dei valori alle 16 stringhe di inizializzazione ciascuna delle quali è composta da 64 cifre esadecimali e pertanto copre 256 bit.

¹⁷Delay Locked Loop

¹⁸la frequenza di clock in ingresso deve essere maggiore di 25MHz

¹⁹le due porte hanno in comune le stesse 4096 celle di memoria

Primitive	Port A Width	Port B Width
RAMB4_S1	1	N/A
RAMB4_S1_S1		1
RAMB4_S1_S2		2
RAMB4_S1_S4		4
RAMB4_S1_S8		8
RAMB4_S1_S16	16	
RAMB4_S2	2	N/A
RAMB4_S2_S2		2
RAMB4_S2_S4		4
RAMB4_S2_S8		8
RAMB4_S2_S16		16
RAMB4_S4	4	N/A
RAMB4_S4_S4		4
RAMB4_S4_S8		8
RAMB4_S4_S16		16
RAMB4_S8		8
RAMB4_S8_S8	8	
RAMB4_S8_S16	16	
RAMB4_S16	16	
RAMB4_S16_S16		16

(a) Primitive BlockRAM

Property	Memory Cells
INIT_00	255 to 0
INIT_01	511 to 256
INIT_02	767 to 512
INIT_03	1023 to 768
INIT_04	1279 to 1024
INIT_05	1535 to 1280
INIT_06	1791 to 2047
INIT_07	2047 to 1792
INIT_08	2303 to 2048
INIT_09	2559 to 2304
INIT_0a	2815 to 2560
INIT_0b	3071 to 2816
INIT_0c	3327 to 3072
INIT_0d	3583 to 3328
INIT_0e	3839 to 3584
INIT_0f	4095 to 3840

(b) Stringhe d'inizializzazione

Figura C.7: Configurazione delle BlockRAM

C.3.4.3 SRL16

La LUT presente in ogni LC viene utilizzata come multiplexer 16:1 avente 4 ingressi che seleziona come uscita seriale di un registro a scorrimento a 16 bit. Una tale struttura consente di creare delle reti di ritardo molto compatte particolarmente adatte all'implementazione della tecnica del pipelining.